

c IBM

von Isabella Pridat

## **Zeitlicher Ablauf zum Vergleich - POWER9**

Der POWER9 Chip (14nm, Globalfoundries) wurde im Sommer 2016 angekündigt und mit der AC922, für AI und Deep Learning, folgte im Dezember 2017 die erste IBM Maschine mit diesem Prozessor. Mit dem POWER9 Chip arbeiten seit 2017 u.a. die Supercomputer SUMMIT und SIERRA.

Im Frühjahr 2018 folgte die Ankündigung der sechs Power9 Scale-Out Server, im Herbst 2018 die der beiden Scale-up Enterprise Server - verfügbar wurden letztere Anfang 2019. Die bisher letzten - "Solutions" Server mit POWER9 Prozessoren wurden im November 2020 verfügbar.

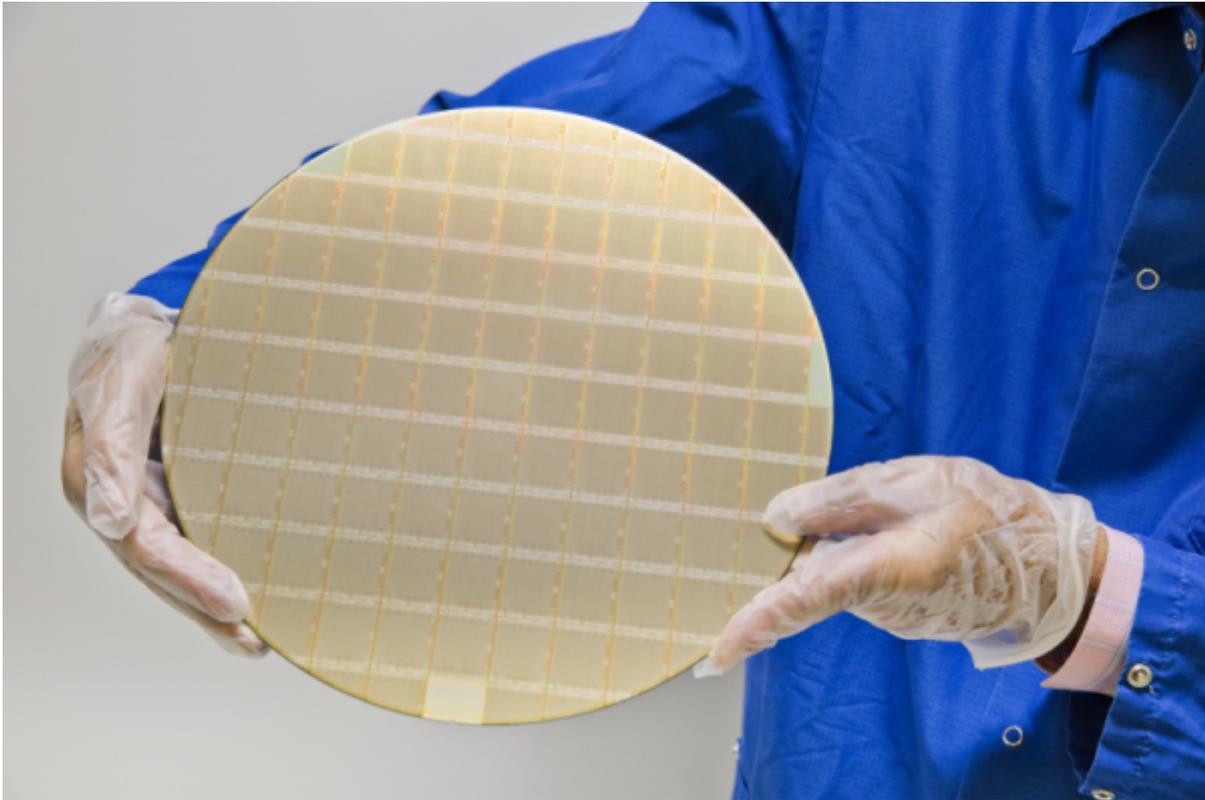


Abbildung 1 zeigt eine Gruppe von IBM POWER10 7nm Prozessoren. Diese Wafer wird in einzelne Chips geschnitten, die als die individuellen „Gehirne“ der IBM Power Systems Server eingesetzt werden. Jeder einzelne Chip erzielt bis zur 3fachen Kapazität und Energieeffizienz gegenüber der letzten Generation. Ferner ermöglicht jeder Chip eine bis zu 20 Mal schnellere Schlussfolgerung im KI-Bereich, z.B. bei Machine Learning Inferencing.



Abbildung 2 zeigt IBM POWER10 7nm Prozessoren auf einer Silicon Wafer. Der Chip ist der erste kommerzielle 7nm Prozessor und seine Entwicklung bescherte IBM viele Patente. Das deutsche IBM Forschungs- und Entwicklungszentrum bei Stuttgart spielte bei der 5-jährigen Entwicklung des Prozessors eine wesentliche Rolle: Dazu gehörte die Gesamtverantwortung für die Prozessorverifikation und -validierung sowie den Logikentwurf verschiedener Prozessoreinheiten wie beispielsweise die Speicherverschlüsselung. Das Team war auch für den physikalischen Entwurf von Schaltungseinheiten und die Arrays verantwortlich. Der gesamte Design-Ansatz zielte darauf ab, Verschlüsselung, Leistung und einfache Integration in bestehende IT-Infrastrukturen zu gewährleisten.

## **Highlights von POWER10**

Der POWER10 Chip soll gegenüber POWER9 ungefähr die 3fache Performance und einen 2,6fachen - Effizienzzuwachs erzielen sowie eine Verbesserung der Workload-Kapazität und OpenShift-Container-Dichte des Prozessors um bis zu Faktor 31.

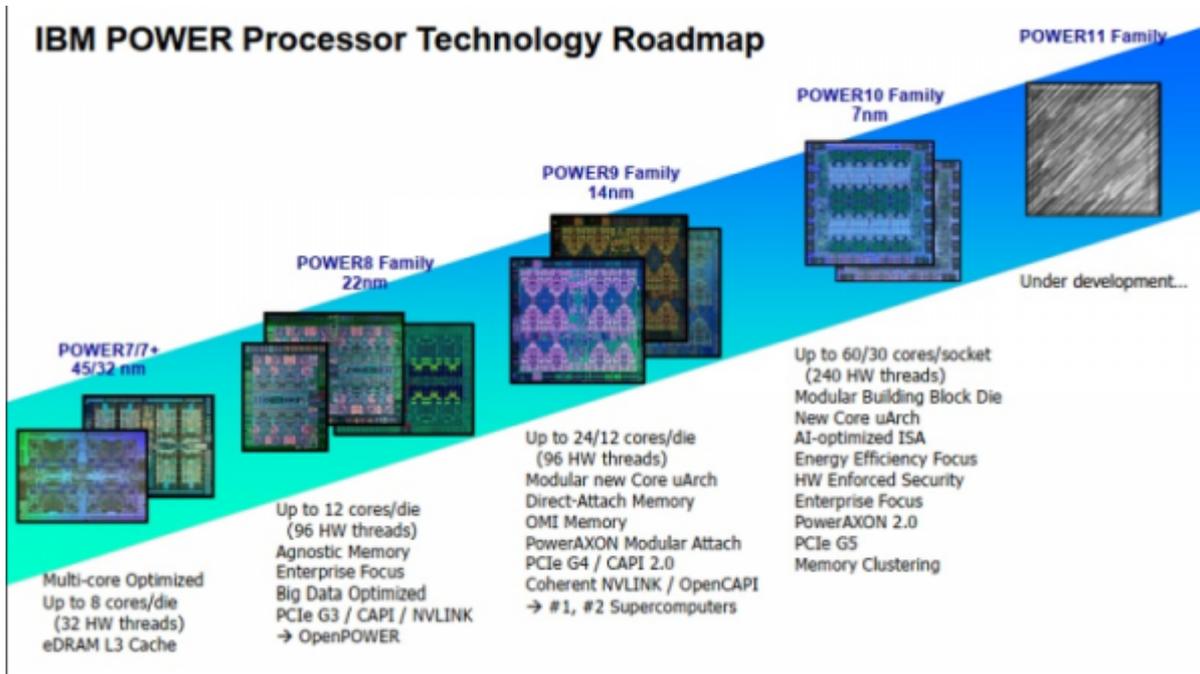


Abbildung 3

Memory Inception: Der neue Chip unterstützt Multi-Petabyte-Memory-Cluster und befähigt - Programme, auf Speicher anderer Systeme, wie auf die eigenen Speicher zuzugreifen - das nennt IBM Inception Memory. William Starke, IBM, präzisiert: „Bei der Verwendung kurzer Verkabelung erfolgt dieser Zugriff mit einer zusätzlichen Latenz von nur 50 bis 100 Nanosekunden.“ Zum Vergleich: Bei Verwendung von RDMA geht es um Microsekunde(n). Die Architektur der „Distributed Memory Disaggregation“ ersehen Sie aus Abbildung 4.

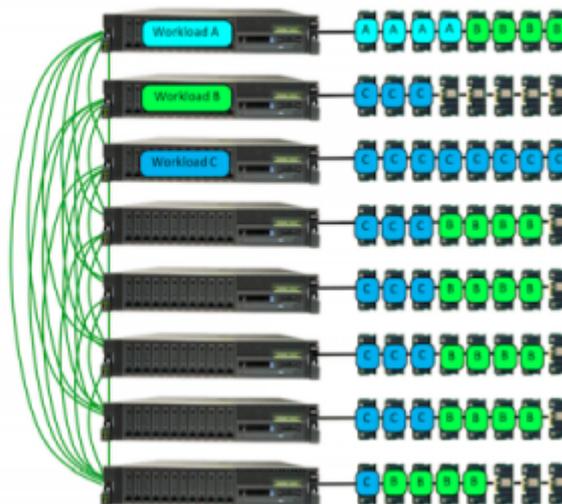
### Memory Clustering: Distributed Memory Disaggregation and Sharing

Use case: Share load/store memory amongst directly connected neighbors within Pod  
 Unlike other schemes, memory can be used:  
 - As low latency local memory  
 - As NUMA latency remote memory

Example: Pod = 8 systems each with 8TB  
 Workload A Rqmt: 4 TB low latency  
 Workload B Rqmt: 24 TB relaxed latency  
 Workload C Rqmt: 8 TB low latency plus 16TB relaxed latency

All Rqmts met by configuration shown

POWER10 2 Petabyte memory size enables much larger configurations



(Memory cluster configurations show processor capability only, and do not imply system product offerings)

**IBM POWER10**

Abbildung 4: Distributed Memory Aggregation and Sharing

Dank des Memory Clustering z.B. mit dem PowerAXON-Interface hat jeder Chip Zugriff auf die Speicher anderer Chips sowie auch auf die Speicher entfernter Prozessoren. Bei kurzer Anbindung der entfernten Systeme geschieht der Zugriff im Nanosekunden-

Bereich. Zum Vergleich: NVIDIA NVlink erreicht Zugriffe im Millisekunde(n) Bereich.

IBM POWER ist seit langem technologischer Vorreiter bei der Unterstützung einer breiten Palette flexibler Implementierungen für hybride Cloud- und On-Premises-Workloads als Kombination von Hardware- und Softwarefunktionen. IBM POWER10 erhöht dies durch Pooling oder Clustering des physischen Speichers auf IBM POWER10-basierten Systemen in einer Vielzahl von Konfigurationen. Im Rahmen der neuen Technologie, Memory Inception, aufgrund derer jedes der IBM POWER10-basierten Systeme in einem Cluster auf den Speicher des jeweils anderen zugreifen und diesen gemeinsam nutzen kann, entstehen Speichercluster von mehreren Terra- oder Petabyte.

**SMT4 und SMT8:** Neben dem in Abbildung 4 gezeigten POWER10 Chip mit 15 SMT8 - (Simultaneous Multi-Threading) Kernen gibt es auch Varianten mit SMT4.

**Memory Encryption:** Der POWER10 Prozessor ermöglicht neue hardware-unterstützte Sicherheitsfunktionen, einschließlich transparenter Speicherverschlüsselung (Memory encryption) zur Unterstützung der End-to-End-Sicherheit. Der IBM POWER10-Prozessor wurde entwickelt, um eine deutlich schnellere Verschlüsselungsleistung, einschließlich einer Vervierfachung der Anzahl der AES-Verschlüsselungs-Engines im Vergleich zu IBM POWER9 für die Standards von heute und zukünftige kryptographische Standards wie quantensichere Kryptographie und vollständig - homomorphe Verschlüsselung (fully homomorphic encryption) zu erreichen. Auch neue Verbesserungen der Containersicherheit sind zu erwarten

### POWER10 Processor Chip

**Technology and Packaging:**

- 602mm<sup>2</sup> 7nm Samsung (18B devices)
- 18 layer metal stack, enhanced device
- Single-chip or Dual-chip sockets

**Computational Capabilities:**

- Up to 15 SMT8 Cores (2 MB L2 Cache / core)  
(Up to 120 simultaneous hardware threads)
- Up to 120 MB L3 cache (low latency NUCA mgmt)
- 3x energy efficiency relative to POWER9
- Enterprise thread strength optimizations
- AI and security focused ISA additions
- 2x general, 4x matrix SIMD relative to POWER9
- EA-tagged L1 cache, 4x MMU relative to POWER9

**Open Memory Interface:**

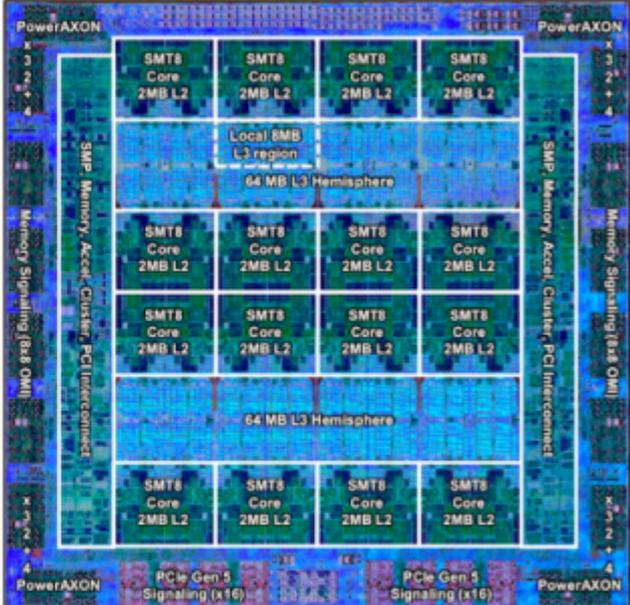
- 16 x8 at up to 32 GT/s (1 TB/s)
- Technology agnostic support: near/main/storage tiers
- Minimal (< 10ns latency) add vs DDR direct attach

**PowerAXON Interface:**

- 16 x8 at up to 32 GT/s (1 TB/s)
- SMP interconnect for up to 16 sockets
- OpenCAPI attach for memory, accelerators, I/O
- Integrated clustering (memory semantics)

**PCIe Gen 5 Interface:**

- x64 / DCM at up to 32 GT/s



Die Photo courtesy of Samsung Foundry

The image shows a detailed die photograph of the POWER10 processor chip. It is a square chip with a complex internal layout. The central area is divided into two horizontal sections, each labeled '64 MB L3 Hemisphere'. Each hemisphere contains a 4x4 grid of 'SMT8 Core 2MB L2' blocks. Between the hemispheres is a 'Local 8MB L3 region'. The chip is surrounded by 'PowerAXON' signaling blocks on all four sides. At the bottom, there are 'PCIe Gen 5 Signaling (x16)' blocks. The chip is labeled with 'SMP Memory, Accele Cluster, PCI Interconnect' on the left and right sides, and 'Memory Signaling (x8 QML)' on the top and bottom sides.

Abbildung 5: POWER10 Prozessor Chip mit SMT8. Dieser 16 Kernel Chip (15 genutzt) hat einen I/O Durchsatz von bis zu 1 Terabyte/Sekunde.

Sie müssen sich als Abonnent anmelden um den hier fehlenden Teil des Inhalts zu sehen. Bitte [Login](#) für Zugriff.

Noch nicht Abonnent? [Sonderaktion nutzen](#).

- [7 Euro/Monat NEWSabo digital - sofort zugreifen & online bezahlen.](#)
- [13,5 Euro/Monat NEWSabo plus inkl. 5x Logins & Print-Ausgaben - sofort zugreifen & per Firmen-](#)

[Rechnung bezahlen.](#)